

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-088862

(43)Date of publication of application : 29.03.1994

(51)Int.Cl.

G01R 31/28
G01R 31/26
G01R 31/318
G11C 29/00
H01L 21/66
H01L 21/82

(21)Application number : 04-239605 (71)Applicant : FUJITSU LTD

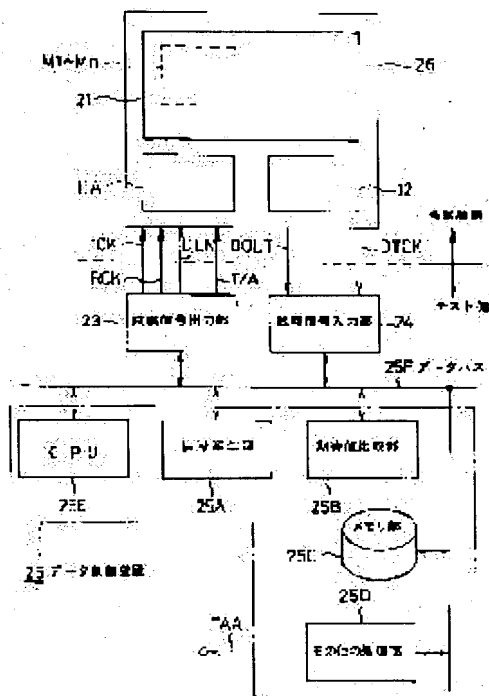
(22)Date of filing : 08.09.1992 (72)Inventor : FUKUSHI ISAO
TAMAI RYOJI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND DEVICE AND METHOD FOR TESTING THE SAME

(57)Abstract:

PURPOSE: To measure the real access time of the storage circuit of an object to be tested so as to make the performance evaluation of the object highly reliable by providing a circuit for dummy test which processes test clock signals in a dummied state separately from a circuit for test.

CONSTITUTION: When a register clock RCK is inputted to a circuit 12 for dummy test, a test clock signal TCK and test output data DOUT are respectively held in a dummy register and data output register. In addition, a dummy output signal DTCK fed back from a gate array 26 incorporating a RAM and the data Dout are inputted to a data controller 25 through a test signal input section 24, but the signal DTCK and data DOUT are outputted from the dummy output buffer and test output buffer of the array 26. The controller 25 obtains dummy information regarding the delay time obtained by interposing the apparent access time of a RAM macro Mn containing delay time into the apparent access time of the macro Mn based on the signal DTCK based on the data DOUT and finds access time TAA from the two time lags.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's
decision of rejection][Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(11)特許出願公開番号

(43)公開日 平成6年(1994)3月29日

技術表示箇所

B

審査請求 未請求 請求項の数6(全 17 頁) 最終頁に続く

(74) 代理人 弁理士 岡本 啓三

(b)

【特許請求の範囲】

【請求項1】 クロック信号に基づいて動作する内部集積回路(11)の試験を補助する試験用回路(11A)が組み込まれた半導体集積回路装置において、前記試験用回路(11A)とは別に試験クロック信号(TCK)のダミー処理をするダミー試験用回路(12)が設けられることを特徴とする半導体集積回路装置。

【請求項2】 請求項1記載の半導体集積回路装置において、前記ダミー試験用回路(12)が試験補助クロック信号(RCK)を入力する試験補助クロック入力手段(12A)と、前記試験補助クロック信号(RCK)に基づいて試験クロック信号(TCK)を保持するダミー保持手段(12B)と、前記試験補助クロック信号(RCK)に基づいて試験出力データ(DOUT)を保持する試験データ保持手段(12C)と、前記ダミー保持手段(12B)で保持された試験クロック信号(TCK)をダミー出力信号(DTCK)として出力をするダミー出力手段(12D)から成ることを特徴とする半導体集積回路装置。

【請求項3】 請求項1記載の半導体集積回路装置において、前記ダミー保持手段(12B)と試験データ保持手段(12C)とが同一回路から成り、前記内部集積回路(11)とダミー保持手段(12B)とが近接して配置されることを特徴とする半導体集積回路装置。

【請求項4】 請求項1記載の半導体集積回路装置を試験する装置であって、前記被試験対象(16)に、非試験/試験モード信号(T/A)、試験クロック信号(TCK)、試験データ(DIN)及び試験補助クロック信号(RCK)を出力する試験信号出力手段(13)と、前記ダミー出力信号(DTCK)及び試験出力データ(DOUT)を入力する試験信号入力手段(14)と、前記試験信号出力手段(13)及び試験信号入力手段(14)の入出力を制御する制御手段(15)とを具備し、前記制御手段(15)が、被試験対象(16)に設けられたダミー試験用回路(12)から帰還するダミー出力信号(DTCK)に基づいて内部集積回路(11)の遅延時間の求値制御をすることを特徴とする半導体集積回路装置の試験装置。

【請求項5】 請求項1記載の半導体集積回路装置を試験する方法であって、前記被試験対象(16)に、非試験/試験モード信号(T/A)、試験クロック信号(TCK)、試験データ(DIN)及び試験補助クロック信号(RCK)の供給処理をし、前記ダミー出力信号(DTCK)及び試験出力データ(DOUT)の取得処理をし、前記被試験対象(16)の試験用回路(11A)とは別に設けられたダミー試験用回路(12)から帰還するダミー出力信号(DTCK)に基づいて内部集積回路(11)の遅延時間の求値処理をすることを特徴とする半導体集積回路装置の試験方法。

【請求項6】 請求項5記載の半導体集積回路装置の試験方法であって、前記内部集積回路(11)の遅延時間

の求値処理は、前記被試験対象(16)の期待値と試験出力データ(DOUT)とを比較する条件下において、試験クロック信号(TCK)と試験補助クロック信号(RCK)との時間差を縮小し、前記試験出力データ(DOUT)が被試験対象(16)の期待値に一致する限界に係る第1の時間差データ(D1)の取得処理をし、かつ、前記被試験対象(16)の期待値とダミー出力信号(DTCK)とを比較する条件下において、試験クロック信号(TCK)と試験補助クロック信号(RCK)との時間差を縮小し、前記ダミー出力信号(DTCK)が被試験対象(16)の期待値に一致する限界に係る第2の時間差データ(D2)の取得処理をし、前記第1、第2の時間差データ(D1、D2)の差の算出処理をすることを特徴とする半導体集積回路装置の試験方法。

【発明の詳細な説明】

【0001】 【目次】

産業上の利用分野

従来の技術(図8、9)

発明が解決しようとする課題

課題を解決するための手段(図1、2)

作用

実施例(図3～7)

発明の効果

【0002】

【産業上の利用分野】本発明は、半導体集積回路装置、その試験装置及びその試験方法に関するものであり、更に詳しく言えば、ゲートアレイやスタンダードセル等のチップに内蔵された半導体記憶回路を試験する回路の改善及びその試験方法の向上に関するものである。

【0003】近年、半導体装置の高集積、高密度化に伴いゲートアレイやスタンダードセル等のチップにRAM(随時書き込み/読出し可能なメモリ)マクロを内蔵した大規模な半導体集積回路(以下LSIという)装置が開発される傾向にある。また、LSI装置の高機能化、高性能化の要求に伴い、RAMのアクセスタイムも益々高速化される傾向にある。

【0004】これによれば、大規模LSI装置の試験を容易にするために、該LSI装置内部に試験入力バッファ、試験出力バッファ、試験クロック入力バッファ等から成る試験用回路が設けられ、例えば、複数のRAMマクロに対して試験入力バッファや試験クロック入力バッファが共通して設けられる。

【0005】しかし、それらの試験入/出力配線や試験クロック配線がチップ内部を長く引き回されるため、そこに非常に大きな配線容量や浮遊容量が寄生し、かつ、試験入/出力バッファが介在するため、それがRAMマクロのアクセスタイムの測定に悪影響を及ぼすことがある。

【0006】そこで、被試験対象に新たな試験補助回路を付加して、試験入/出力データや試験クロック信号を

伝送する試験入／出力配線や試験クロック配線及び試験入／出力バッファの遅延の影響を取り除き、真のアクセスタイムを測定することができる装置と方法が望まれている。

【0007】

【従来の技術】図8、9は、従来例に係る説明図である。図8は、従来例に係るRAM内蔵ゲートアレイの構成図を示している。例えば、試験補助機能を有する試験用回路を内蔵した被試験対象16の一例となるRAM内蔵ゲートアレイは、図8において、複数のRAMマクロ1、ゲートアレイ2、試験入力バッファ3A、試験出力バッファ3B、試験クロック入力バッファ4、テストモード入力バッファ5、通常入力バッファ6A、通常出力バッファ6B及びそれらの入出力端子から成る。

【0008】なお、試験入力バッファ3A、試験出力バッファ3B、試験クロック入力バッファ4及びテストモード入力バッファ5はチップ全体の機能試験のみでは、RAMマクロ1の全メモセルの試験を行うことが困難となるため、当該RAM内蔵ゲートアレイを試験をするLSIテストを補助するべく設けられた試験用回路である。これにより、RAMマクロ1を周辺の論理回路と切り離して単独で、そのRAMのアクセスタイム等の測定することができる。

【0009】また、1つのRAMマクロ1の内部構成は、図9に示すように入力レジスタ1Cに接続されたRAM1A、通常入力ポートPinや試験入力配線Lin等に接続された試験切り換え回路1B及び該切り換え回路1BとRAM1Aとの間に接続された入力レジスタ1Cから成る。

【0010】例えば、RAMマクロ1のRAMのアクセスタイム等を測定する場合、図9において、まず、テストモード入力バッファ5を介して試験切り換え回路1Bに試験モード信号T/Aを供給し、例えば、それを「H」レベルにして、RAMマクロ1を試験モードにする。これにより、試験切り換え回路1Bが通常入力ポートPinを切り離し、試験入力配線Lin側を選択する。

【0011】ここで、試験クロック入力バッファ4に接続された試験クロック配線Ltを介して試験クロック信号TCKが入力レジスタ1Cに供給され、また、試験入力バッファ3Aに接続された試験入力配線Linを介してアドレス、データ等の必要な試験データDINが入力レジスタ1Cに与えられる。これにより、一般の単体RAMと同様に、その通常出力ポートPoutに接続された試験出力バッファ3Bから試験出力データDOUTが得られる。

【0012】なお、通常の使用時には、試験切り換え回路1Bに試験モード信号T/A＝「L」レベルを供給して、RAMマクロ1を通常モードにする。これにより、試験切り換え回路1Bが試験入力配線Lin側を切り離し、通常入力ポートPinを選択する。

【0013】これにより、ゲートアレイ2にRAMマク

ロ1が接続され、また、所定入力ポートPINに入力データが入力されると、ゲートアレイ2により処理された出力データが所定出力ポートPOUTから出力される。

【0014】

【発明が解決しようとする課題】ところで、従来例のRAM内蔵ゲートアレイによれば、複数のRAMマクロ1に対して試験入力バッファ3A、試験クロック入力バッファ4が共通して設けられ、該RAMマクロ1間において、試験入力配線Lin及び試験クロック配線Ltを介して試験データDIN及び試験クロック信号TCKが伝送される。

【0015】RAMマクロ1に対して、個々に試験入力バッファ3Aや試験クロック入力バッファ4を設けると、膨大な数の試験用入力端子が必要になるため、通常の入力又は出力端子の数を減少せざるを得なくなる。このため、1組の試験入力配線Lin、試験クロック配線Ltに多数のRAMマクロ1を接続して、試験用入力端子の削減化を図っている。

【0016】しかし、試験入力配線Lin、試験クロック配線Lt及び試験出力配線Loutがチップ内部を長く引き回されると、RAMマクロ1の入力レジスタ1Cから試験入力バッファ3A、試験クロック入力バッファ4を見た場合及び通常出力ポートPoutから試験出力バッファ3Bを見た場合に、そこに非常に大きな入力配線容量、出力配線容量や浮遊容量が寄生する。

【0017】また、従来例のRAMマクロ1のアクセスタイムの測定方法によれば、試験クロック入力バッファ4が接続された試験用クロック入力端子に試験クロック信号TCKが入力されてから、試験出力バッファ3Bが接続された試験用出力端子に試験出力データDOUTが出力される間の時間差を測定することにより行われる。

【0018】このため、試験入力バッファ4と試験出力バッファ3Bの遅延時間に加え、チップ内部を長く引き回された試験クロック配線Ltや試験出力配線Loutによる試験データDIN、試験クロック信号TCK及び試験出力データDOUTの遅延時間がRAMマクロ1の真のアクセスタイムに介入することとなる。このことで、半導体集積回路装置の高機能化、高性能化に伴い、益々高速化されるRAM1Aのアクセスタイムに対して、真の評価をしようとすると、これらの遅延時間を無視することができない。

【0019】これにより、半導体集積回路装置の高集積化、高密度化に伴い、RAM1Aのアクセスタイムに比べて遅延時間が非常に大きくなることから、その正確なアクセスタイムを測定することが困難となる。また、従来例のような測定方法では真の評価をすることができないという問題がある。

【0020】本発明は、かかる従来例の問題点に鑑み創作されたものであり、被試験対象に新たな試験補助回路を付加して、試験入／出力データや試験クロック信号を

5

伝送する試験入／出力配線や試験クロック配線及び試験入／出力バッファの遅延の影響を取り除き、真のアクセスタ임을測定すること、及び、当該装置の精度の向上を図ることが可能となる半導体集積回路装置、その試験装置及びその試験方法の提供を目的とする。

【0021】

【課題を解決するための手段】図1(a), (b)は、本発明に係る半導体集積回路装置の原理図であり、図2は、本発明に係る半導体集積回路装置の試験装置及びその試験方法の原理図をそれぞれ示している。

【0022】本発明の半導体集積回路装置は、図1(a)に示すように、クロック信号に基づいて動作する内部集積回路11の試験を補助する試験用回路11Aが組み込まれた半導体集積回路装置において、前記試験用回路11Aとは別に試験クロック信号TCKのダミー処理をするダミー試験用回路12が設けられることを特徴とする。

【0023】なお、本発明の半導体集積回路装置において、前記ダミー試験用回路12が図1(b)に示すように、試験補助クロック信号RCKを入力する試験補助クロック入力手段12Aと、前記試験補助クロック信号RCKに基づいて試験クロック信号TCKを保持するダミー保持手段12Bと、前記試験補助クロック信号RCKに基づいて試験出力データDOUTを保持する試験データ保持手段12Cと、前記ダミー保持手段12Bで保持された試験クロック信号TCKをダミー出力信号DTCKとして出力をするダミー出力手段12Dから成ることを特徴とする。

【0024】また、本発明の半導体集積回路装置において、前記ダミー保持手段12Bと試験データ保持手段12Cとが同一回路から成り、前記内部集積回路11とダミー保持手段12Bとが近接して配置されることを特徴とする。

【0025】さらに、本発明の半導体集積回路装置の試験装置は、本発明の半導体集積回路装置を試験する装置であって、図2に示すように、前記被試験対象16に、非試験／試験モード信号T/A、試験クロック信号TCK、試験データDIN及び試験補助クロック信号RCKを出力する試験信号出力手段13と、前記ダミー出力信号DTCK及び試験出力データDOUTを入力する試験信号入力手段14と、前記試験信号出力手段13及び試験信号入力手段14の入出力を制御する制御手段15とを具備し、前記制御手段15が、被試験対象16に設けられたダミー試験用回路12から帰還するダミー出力信号DTCKに基づいて内部集積回路11の遅延時間の求値制御をすることを特徴とする。

【0026】また、本発明の半導体集積回路装置の試験方法は、本発明の半導体集積回路装置を試験する方法であって、前記被試験対象16に、非試験／試験モード信号T/A、試験クロック信号TCK、試験データDIN及び試験補助クロック信号RCKの供給処理をし、前記ダミー

6

出力信号DTCK及び試験出力データDOUTの取得処理をし、前記被試験対象16の試験用回路11Aとは別に設けられたダミー試験用回路12から帰還するダミー出力信号DTCKに基づいて内部集積回路11の遅延時間の求値処理をすることを特徴とする。

【0027】なお、本発明の半導体集積回路装置の試験方法であって、前記内部集積回路11の遅延時間の求値処理は、前記被試験対象16の期待値と試験出力データDOUTとを比較する条件下において、試験クロック信号TCKと試験補助クロック信号RCKとの時間差を縮小し、前記試験出力データDOUTが被試験対象16の期待値に一致する限界に係る第1の時間差データD1の取得処理をし、かつ、前記被試験対象16の期待値とダミー出力信号DTCKとを比較する条件下において、試験クロック信号TCKと試験補助クロック信号RCKとの時間差を縮小し、前記ダミー出力信号DTCKが被試験対象16の期待値に一致する限界に係る第2の時間差データD2の取得処理をし、前記第1、第2の時間差データD1、D2の差の算出処理をすることを特徴とし、上記目的を達成する。

【0028】

【作 用】本発明の半導体集積回路装置によれば、図1(a)に示すように、試験用回路11Aが組み込まれた半導体集積回路装置において、試験用回路11Aとは別に試験クロック信号TCKのダミー処理をするダミー試験用回路12が設けられる。

【0029】このため、記憶回路Mを含む内部集積回路11の試験をする場合であって、従来例のように複数の記憶回路素子Mに対して試験用回路11Aが共通して設けられ、試験クロック配線や試験出力配線がチップ内部を長く引き回された場合であっても、その遅延時間等に係るダミー情報をダミー試験用回路12から外部の試験装置等に提供することが可能となる。

【0030】これにより、被試験対象16の記憶回路Mの真のアクセスタ임을測定することができ、当該装置の性能評価の信頼性の向上を図ることが可能となる。また、本発明の半導体集積回路装置の試験装置によれば、図2に示すように、試験信号出力手段13、試験信号入力手段14及び制御手段15が具備され、該制御手段15により、被試験対象16のダミー試験用回路12から帰還するダミー出力信号DTCKや試験補助クロック信号RCKに基づいて記憶回路Mのアクセスタ임을TAAが求値制御される。

【0031】例えば、被試験対象16の記憶回路Mのアクセスタ임을測定する場合であって、その試験用回路11Aが組み込まれた被試験対象16に、非試験／試験モード信号T/A、試験クロック信号TCK、試験データDIN及び試験補助クロック信号RCKが試験信号出力手段13から試験用回路11Aやダミー試験用回路12に出力される。

【0032】この際に、図1(b)に示すように、試験補助クロック信号RCKがダミー試験用回路12の試験補助クロック入力手段12Aに入力されると、試験補助クロック信号RCKに基づいて試験クロック信号TCKがダミー保持手段12Bにより保持され、同様に、該試験補助クロック信号RCKに基づいて試験出力データDOUTが試験データ保持手段12Cに保持される。

【0033】また、被試験対象16から帰還する試験クロック信号TCK、すなわち、ダミー出力信号DTCK及び試験出力データDOUTが試験信号入力手段14を介して制御手段15に入力される。この際に、ダミー保持手段12Bやデータ出力手段12Cを経たダミー出力信号DTCKや試験出力データDOUTがダミー出力手段12Dや試験用回路11Aから出力される。

【0034】これにより、制御手段15では、まず、試験出力データDOUTとその期待値と比較してそれが一致すれば、パス(Pass)という条件下において、試験クロック信号TCKと試験補助クロックRCKとの時間差を縮小し、Passとなる限界の時間差を求めることで、見かけ上の記憶回路Mのアクセスタイムを測定する。

【0035】次に、ダミー出力信号DTCKとその期待値と比較してそれが一致すれば、パス(Pass)という条件下において、ダミー出力信号DTCKと試験補助クロックRCKとの時間差を縮小し、Passとなる限界の時間差を求めることで、見かけ上の記憶回路Mのアクセスタイムに介入した遅延時間等に係るダミー情報が取得される。これにより、2つの状態に係る時間差データD1、D2(TRAM, TREG)に基づいて記憶回路MのアクセスタイムTAAが求値される。

【0036】このため、従来例のように複数の記憶回路Mに対して試験用回路11Aが共通して設けられ、試験クロック配線や試験出力配線がチップ内部を長く引き回された場合であっても、そのダミー情報に基づいて該試験クロック配線や試験出力配線に係る遅延時間等の影響を取り除くことが可能となる。

【0037】これにより、非試験/試験モード信号A/T等に基づいて内部集積回路11から記憶回路Mのみを切り離し、試験用回路11Aを介してそのアクセスタイムを正確に測定することが可能となる。また、当該装置の試験精度の向上を図ることが可能となる。

【0038】さらに、本発明の半導体集積回路装置の試験方法によれば、被試験対象16の試験用回路11Aとは、別に設けられたダミー試験用回路12を用いて記憶回路MのアクセスタイムTAAが求値処理される。

【0039】例えば、試験出力データDOUTとその期待値と比較してそれが一致すれば、パス(Pass)という条件下において、試験クロック信号TCKと試験補助クロックRCKとの時間差が縮小され、該時間差がPassとなる限界まで縮小した際の第1の時間差データD1(TRAM)が取得処理され、かつ、ダミー出力信号DTCKと

その期待値と比較してそれが一致すれば、パス(Pass)という条件下において、ダミー出力信号DTCKと試験補助クロックRCKとの時間差が縮小され、該時間差がPassとなる限界まで縮小した際の第2の時間差データD2(TREG)が取得処理される。

【0040】このため、ステップP3Cで第1、第2の時間差データD1、D2の差の算出処理をすることにより、従来例のように複数の記憶回路Mに対して試験用回路11Aを共通して設け、その試験クロック配線や試験出力配線がチップ内部を長く引き回した場合であっても、そのダミー情報に基づいて該試験クロック配線や試験出力配線に係る遅延時間等の影響を取り除くことができ、記憶回路Mの真のアクセスタイムTAAを測定することが可能となる。

【0041】これにより、これらの遅延時間を考慮した高精度のアクセスタイムTAAが測定されることで、半導体集積回路装置の高機能化、高性能化に伴い益々高速化される記憶回路Mの真の評価をすることが可能となる。

20 【0042】

【実施例】次に、図を参照しながら本発明の実施例について説明をする。図3～8は、本発明の実施例に係る半導体集積回路装置、その試験装置及びその試験方法を説明する図であり、図3は、本発明の実施例に係る半導体集積回路装置の構成図を示している。また、図4はそのRAMマクロの内部構成図である。

【0043】例えば、半導体集積回路装置の一例となるRAM内蔵ゲートアレイ26は図3において、n個のRAMマクロM1～Mn、ゲートアレイ21、レジスタクロック入力22A、ダミー出力バッファ22D、試験入力バッファ101、試験出力バッファ102、試験クロック入力バッファ103、テストモード入力バッファ104、通常入力バッファ26A、通常出力バッファ26B及び各種入出力端子T1～T5等から成る。

【0044】すなわち、n個のRAMマクロM1～Mnはゲートアレイ21で各種論理処理されるデータやその結果データを一時記憶するものである。なお、1つのRAMマクロM1の内部構成については、図4において詳述する。

40 【0045】ゲートアレイ21は論理積、論理和等の論理ゲート回路から成り、通常入力バッファ26A、通常出力バッファ26Bやn個のRAMマクロM1～Mnの通常入力ポートPinや通常出力ポートPoutに接続される。

【0046】レジスタクロック入力22Aは試験補助クロック入力手段12Aの一実施例であり、ダミー試験用回路12の一部を構成する。また、レジスタクロック入力22Aは試験入力バッファ101、試験クロック入力バッファ103及びテストモード入力バッファ104とは別に試験クロック信号TCKのダミー処理に係る試験補助クロック信号RCKの一例となるレジスタクロックを入力するもので

ある。また、レジスタクロック入力22Aの入力部はレジスタクロック入力端子T1に接続され、その出力部がレジスタクロック配線Lin2に接続されて、n個のRAMマクロM1~Mnのダミーレジスタ22Bやデータ出力レジスタ22Cに至る。

【0047】ダミー出力バッファ22Dはダミー出力手段12Dの一実施例であり、ダミー試験用回路12の一部の実施例を構成する。また、ダミー出力バッファ22Dは試験出力バッファ102とは別にダミー出力信号DTCKを出力するものである。また、ダミー出力バッファ22Dの入力部はダミーレジスタ22Bの出力部に接続され、その出力部が試験クロック出力端子T5に接続される。

【0048】試験入力バッファ101、試験出力バッファ102、試験クロック入力バッファ103及びテストモード入力バッファ104は試験用回路11Aの一実施例を構成し、ゲートアレイ21からRAMマクロM1~Mnを切り離してその試験を補助する回路である。試験入力バッファ101は試験データDINを入力するものであり、試験入力端子T2や試験入力配線Lin1に接続されて各RAMマクロMnの試験切り換え回路21Bに至る。

【0049】また、試験出力バッファ102は試験出力データDOUTを出力するものであり、試験出力端子T6や試験出力配線Loutに接続されて各RAMマクロMnのデータ出力レジスタ22Cに至る。試験クロック入力バッファ103は試験クロック信号TCKを入力するものであり、試験クロック入力端子T3や試験クロック配線Ltに接続されて各RAMマクロMnの試験切り換え回路21Bとダミーレジスタ22Bに至る。

【0050】テストモード入力バッファ104は非試験/試験モード信号T/Aを入力するものであり、モード入力端子T4や各RAMマクロMnの試験切り換え回路21Bに接続される。なお、通常入力バッファ26A、通常出力バッファ26Bはゲートアレイ21や所定入力ポートPINや所定出力ポートPOUTに接続され、通常使用時の各種データを入出力するものである。

【0051】また、1つのRAMマクロM1の内部構成は、図4に示すようにRAM21A、試験切り換え回路21B、入力レジスタ21C、ダミーレジスタ22B及びデータ出力レジスタ22Cから成る。

【0052】すなわち、RAM21Aは記憶回路Mの一実施例であり、その試験時や通常使用時に、その試験データDINや通常データを一時記憶するものである。試験切り換え回路21Bは非試験/試験モード信号T/Aに基づいて入力レジスタ21Cの入力ソースを切り換えるものである。例えば、非試験時、すなわち、通常使用時には通常入力ポートPinを入力レジスタ21Cに接続し、試験時は試験クロック配線Ltや試験入力配線Lin1を入力レジスタ21Cに接続する。なお、入力レジスタ21Cは、その試験時には、試験クロック信号TCKに基づいて試験データDINを保持する。RAM21A、試験切り換え回路21

B、入力レジスタ21Cは内部集積回路11の一実施例である。

【0053】ダミーレジスタ22Bはダミー保持手段12Bの一実施例であり、ダミー試験用回路12を構成する。また、ダミーレジスタ22BはレジスタクロックRCKに基づいて試験クロック信号TCKを保持するものである。データ出力レジスタ22Cは試験データ保持手段12Cの一実施例であり、ダミー試験用回路12を構成する。また、データ出力レジスタ22CはレジスタクロックRCKに基づいて試験出力データDOUTを保持するものである。

【0054】なお、ダミーレジスタ22Bとデータ出力レジスタ22Cとは同一回路から成り、試験切り換え回路21B、入力レジスタ21C、RAM21A、ダミーレジスタ22B、データ出力レジスタ22Cとは近接して配置されることを特徴とする。

【0055】これは、ダミーレジスタ22Bとデータ出力レジスタ22Cとに至るレジスタクロックの時間差及び入力レジスタ21Cとダミーレジスタ22Bとに至る試験クロック信号TCKの時間差を無視できる程度に小さく抑えるためである。

【0056】このようにして、本発明の実施例に係るRAM内蔵ゲートアレイによれば、図3、5に示すように、試験入力バッファ101、試験出力バッファ102、試験クロック入力バッファ103、テストモード入力バッファ104等の試験用回路11Aが組み込まれたRAM内蔵ゲートアレイにおいて、該試験用回路11Aとは別に試験クロック信号TCKのダミー処理をするレジスタクロック入力22A、ダミーレジスタ22B、データ出力レジスタ22C、ダミー出力バッファ22Dから成るダミー試験用回路12が設けられる。

【0057】このため、ゲートアレイ21からRAMマクロM1~Mnを切り離して、そのアクセスタイムTAAを測定する場合であって、従来例のように複数のRAMマクロM1~Mnに対して個々に試験出力バッファ102が設けられ、試験クロック入力バッファ103が共通して設けられ、試験クロック配線Lt、試験データ出力配線がチップ内部を長く引き回された場合であっても、その遅延時間等に係るダミー情報をダミーバッファから外部の試験装置等に提供することが可能となる。

【0058】すなわち、あるRAMマクロMnから試験クロック入力バッファ103や試験出力バッファ102等を見た場合に寄生する入力配線容量、出力配線容量や浮遊容量を原因とする遅延時間、入出力バッファの遅延及び入力レジスタ21Cのセットアップ時間等に相当するダミー情報をダミーレジスタ22Bから外部に出力することが可能となる。

【0059】これにより、ゲートアレイ21からRAMマクロM1~Mnを切り離して、その真のアクセスタイムTAAを測定することができ、当該ゲートアレイ21の性能評価の信頼性の向上を図ることが可能となる。

【0060】なお、通常の使用時には、試験切り換え回路21Bに非試験／試験モード信号T/A=「L」レベルを供給して、RAMマクロM1を通常モードにする。これにより、試験切り換え回路21Bが試験入力配線Lin1側を切り離し、通常入力ポートPinを選択する。この際に、ゲートアレイ26にRAMマクロM1～Mnが接続され、また、所定入力ポートPINに入力データが入力されると、ゲートアレイ26により処理された出力データが所定出力ポートPOUTから出力される。

【0061】次に、本発明の実施例に係る半導体集積回路装置の試験装置について、当該RAM内蔵ゲートアレイ26のダミー試験用回路の動作を補足しながら説明をする。

【0062】図5は、本発明の実施例に係るRAM内蔵ゲートアレイの試験システム装置の構成図である。例えば、該試験用回路11Aとは別に試験クロック信号TCKのダミー処理をするダミー試験用回路12が設けられたRAM内蔵ゲートアレイ26のゲートアレイ21からRAMマクロM1～Mnを切り離して、そのアクセスタイムTAAを測定する装置は、図5において、試験信号出力部23、試験信号入力部24及びデータ制御装置25から成る。

【0063】すなわち、試験信号出力部23は試験信号出力手段13の一実施例であり、非試験／試験モード信号T/A、試験クロック信号TCK、試験データDIN及びレジスタクロックRCKをRAM内蔵ゲートアレイ26に出力するものである。例えば、試験信号出力部23はRAM内蔵ゲートアレイ26のレジスタクロック入力端子T1、試験入力端子T2、試験クロック入力端子T3、試験モード端子T4に接続される。

【0064】試験信号入力部24は試験信号入力手段14の一実施例であり、RAM内蔵ゲートアレイ26から帰還するダミー出力信号DTCK及び試験出力データDOUTを入力するものである。例えば、試験信号入力部24はRAM内蔵ゲートアレイ26のダミー出力信号出力端子T5、試験出力端子T6に接続される。

【0065】データ制御装置25は制御手段15の一実施例であり、試験信号出力部23及び試験信号入力部24の入出力を制御するものである。例えば、データ制御装置25はデータバス25Fに接続された信号発生部25A、期待値比較部25B、メモリ部25C、その他の処理部25D及びCPU（中央演算処理装置）25Eから成る。

【0066】信号発生部25Aは非試験／試験モード信号T/A、試験クロック信号TCK、試験データDIN及びレジスタクロックRCKを発生するものであり、期待値比較部25Bはダミー出力信号DTCKとその期待値、すなわち、試験クロック信号TCKとの比較を行い試験データDINに係る試験出力データDOUTとその評価基準となる期待値データとを比較するものである。

【0067】メモリ部25Cは試験出力データDOUTや期

待値データ等を記憶したり、試験用回路11Aの遅延時間を含む見かけ上のRAMマクロMnのアクセスタイムTAAやダミーレジスタ22Bの見かけ上のセットアップタイムTREGに係る第1、第2の時間差データD1、D2等を記憶する。

【0068】その他の処理部25DはCPU25Eの入出力を補助するものであり、CPU25Eは信号発生部25A、期待値比較部25B、メモリ部25C及びその他の処理部25Dの入出力を制御するものである。例えば、CPU25Eは試験出力バッファ102から帰還する試験出力データDOUTやダミー試験用回路12から帰還するダミー出力信号DTCKの2つの状態に係る第1、第2の時間差データD1、D2に基づいてRAMマクロMnのアクセスタイムTAAの求値制御をする。

【0069】このようにして、本発明の実施例に係るRAM内蔵ゲートアレイの試験装置によれば、図5に示すように、試験信号出力部23、試験信号入力部24及びデータ制御装置25が具備され、該データ制御装置25により、RAMマクロMnのアクセスタイムTAAが求値制御される。

【0070】例えば、RAM内蔵ゲートアレイ26のRAMマクロM1のアクセスタイムを測定する場合であって、その試験用回路11Aが組み込まれたRAM内蔵ゲートアレイ26に、非試験／試験モード信号T/A、試験クロック信号TCK、試験データDIN及びレジスタクロックRCKが試験信号出力部23から試験用回路11Aやダミー試験用回路12に出力される。

【0071】この際に、図4に示すように、レジスタクロックRCKがダミー試験用回路12のレジスタクロック入力22Aに入力されると、レジスタクロックRCKに基づいて試験クロック信号TCKがダミーレジスタ22Bにより保持され、該試験補助クロック信号RCKに基づいて試験出力データDOUTがデータ出力レジスタ22Cに保持される。

【0072】また、RAM内蔵ゲートアレイ26から帰還するダミー出力信号DTCK、試験出力データDOUTが試験信号入力部24を介してデータ制御装置25に入力される。この際に、ダミーレジスタ22Bを経た試験クロック信号TCK、すなわち、ダミー出力信号DTCKやデータ出力レジスタ22Cを経た試験出力データDOUTがダミー出力バッファ22Dや試験出力バッファ102から出力される。

【0073】さらに、データ制御装置25では、まず、試験出力データDOUTに基づいて遅延時間を含む見かけ上のRAMマクロMnのアクセスタイムを測定する。次に、試験用回路12から帰還するダミー出力信号DTCKに基づいて見かけ上のRAMマクロMnのアクセスタイムに介入した遅延時間等に係るダミー情報が取得される。これにより、2つの状態に係る時間差TRAM、TREGに基づいてRAMマクロMnのアクセスタイムT

AAが求値される。

【0074】このため、従来例のように複数のRAMマクロM1～Mnに対して試験用回路11Aが共通して設けられ、試験入力配線Lin1、試験クロック配線Lt、試験データ出力配線がチップ内部を長く引き回された場合であっても、そのダミー情報に基づいて該試験クロック配線Ltに係る遅延時間等の影響を取り除くことが可能となる。

【0075】これにより、非試験/試験モード信号A/T等に基づいてゲートアレイ26からRAMマクロM1～Mnのみを切り離し、試験用回路11Aを介してそのアクセスタイムTAAを正確に測定することが可能となる。また、当該装置の試験精度の向上を図ることが可能となる。

【0076】次に、本発明の実施例に係る半導体集積回路装置の試験方法について、当該試験装置の動作を補足しながら説明をする。図6は、本発明の実施例に係るRAM内蔵ゲートアレイの試験フローチャートであり、図7はその試験フローチャートを補足する限界タイミングチャートをそれぞれ示している。

【0077】例えば、ダミー試験用回路12が設けられたRAM内蔵ゲートアレイ（以下被試験ゲートアレイという）26のRAMマクロM1の真のアクセスタイムTAAを測定する場合、図6において、まず、ステップP0で被試験ゲートアレイ26と試験システム装置とを接続する。この際に、被試験ゲートアレイ26のレジスタクロック入力端子T1、試験入力端子T2、試験クロック入力端子T3、試験モード端子T4が試験信号出力部23に接続され、その試験クロック出力端子T5、試験出力端子T6が試験信号入力部24に接続される。

【0078】次に、ステップP1～P4で外部から見たRAMマクロM1の見かけ上のアクセスタイムTRAMを測定する。なお、見かけ上のアクセスタイムTRAMには、入・出力バッファの遅延時間、入力レジスタ21Bのセットアップタイム、RAM21Aの真のアクセスタイムTAA及び各配線容量に係る遅延時間が含まれる。また、真のアクセスタイムTAAとはRAMマクロMnに試験クロック信号TCKが入力されてから、通常出力ポートPoutに読出しデータ（試験出力データDOUT）が出力されるまでの時間をいうものとする。

【0079】すなわち、ステップP1でモード信号T/Aを選択する。この際に、試験システム装置の試験信号出力部23から被試験ゲートアレイ26の試験用回路11Aやダミー試験用回路12に各信号T/A、TCK、DIN、RCKが出力される。例えば、非試験/試験モード信号T/Aを「H」レベルにして、RAMマクロM1～Mnを試験モードにする。これにより、試験切り換え回路21Bにより通常入力ポートPinが切り離され、試験入力配線Lin1側が選択される。

【0080】次に、ステップP2で被試験ゲートアレイ

26に非試験/試験モード信号T/A、試験クロック信号TCK、試験データDIN及びレジスタクロックRCKを供給する。

【0081】次いで、ステップP3で被試験ゲートアレイ26から帰還するダミー出力信号DTCK及び試験出力データDOUTの取得処理する。ここで、図7(a)に示すように、試験クロック信号TCKはその試験クロック入力端子T1の入力時刻t10を基準にすると、入力配線容量等により遅延時間TC後の時刻t11に入力レジスタ21Bに到達する。この試験クロック信号TCKの立ち上がり同期して、真のアクセスタイムTAAを要してRAM21Aが動作し、時刻t13で試験出力データDOUTが読み出される。

【0082】一方、レジスタクロックRCKは時刻t12でそのレジスタクロック入力端子T1に入力されたものとすれば、入力配線容量等により遅延時間TR後の時刻t14にデータ出力レジスタ22Cに到達する。ここで、データ出力レジスタ22Cが試験データDOUTを取り込むためにはセットアップタイムTSを必要とする。

【0083】その後、ステップP4で試験クロック信号TCKとレジスタクロックRCKとの時間差が縮小され、データ制御装置25の期待値比較部25Bにより、試験出力データDOUTとその評価基準となる期待値データとが比較され、期待値に達した場合に、その時間差縮小が停止され、その限界タイミングが得られる。

【0084】ここで、図7(a)に示すように、RAM21Aの見かけ上のアクセスタイムTRAMは試験クロック入力端子T3、レジスタクロック入力端子T1で見た試験クロック信号TCKとレジスタクロックRCKとの時間差である。また、入力配線容量等により遅延時間TC、真のアクセスタイムTAA、データ出力レジスタ22CのセットアップタイムTS、見かけ上のアクセスタイムTRAM及び入力配線容量等による遅延時間TRとの間には(1)式のような関係がある。

【0085】

$$TC + TAA + TS = TRAM + TR \cdots (1)$$

なお、第1の時間差データD1として、(1)式に係るRAM21Aの見かけ上のアクセスタイムTRAMが得られる。

【0086】次に、ステップP5で試験クロック信号TCKとレジスタクロックRCKとの時間差が最も縮小した第1の時間差データD1の格納処理をする。ここで、第1の時間差データD1は(1)式に係るTRAMデータであり、例えば、それが試験システム装置のメモリ部25Cに一時格納される。

【0087】その後、ステップP6～8で外部から見たダミーレジスタ22Bの見かけ上セットアップタイムTR-EGの測定をする。すなわち、ステップP6で、試験クロック信号TCK及びレジスタクロックRCKが試験システム装置の試験信号出力部23から被試験ゲートアレイ2

6の試験用回路11Aやダミー試験用回路12に出力される。

【0088】次いで、ステップP7で被試験ゲートアレイ26から帰還するダミー出力信号DTCKの取得処理をする。ここで、図7(b)に示すように、試験クロック信号TCKはその試験クロック入力端子T1の入力時刻t20を基準にすると、入力配線容量等により遅延時間TC後の時刻t22にダミーレジスタ22Bに到達する。一方、レジスタクロックRCKは時刻t21でそのレジスタクロック入力端子T1に入力されたものとすれば、入力配線容量等により遅延時間TR後の時刻t23にダミーレジスタ22Bに到達する。ここで、ダミーレジスタ22BKが試験クロック信号CKを入力データを見なして取り込むには、セットアップタイムTSを必要とする。

【0089】その後、ステップP8で試験クロック信号TCKとレジスタクロックRCKとの時間差を縮小させる。この際に、データ制御装置25の期待値比較部25Bにより、出力時の試験クロック信号TCK、すなわちダミー出力信号DTCKとその期待値となる入力時の試験クロック信号TCKとが比較される。なお、期待値に達した場合に、その時間差縮小が停止され、その限界タイミングが得られる。

【0090】ここで、図7(b)に示すように、ダミーレジスタ22Bの見かけ上セットアップタイムTREGは試験クロック入力端子T1、レジスタクロック入力端子T1で見た試験クロック信号TCKとレジスタクロックRCKとの時間差である。また、入力配線容量等により遅延時間TC、ダミーレジスタ22Bの真のセットアップタイムTS、見かけ上のダミーレジスタ22BのセットアップタイムTREG及び入力配線容量等による遅延時間TRとの間には(2)式のような関係がある。

$$TC + TS = TREG + TR \dots (2)$$

なお、ダミーレジスタ22Bとデータ出力レジスタ22Cとは、その形状や配置条件が互いに近似して設けられることからそのセットアップタイムTSがほぼ等しい。また、ダミー情報の一例となる第2の時間差データD2として、(2)式に係るダミーレジスタ22Bの見かけ上セットアップタイムTREGが得られる。

【0092】次に、ステップP9で第1、第2の時間差データD1、D2に基づいて真のアクセスタイムTAAの算出処理をする。この際に、例えば、試験システム装置のCPU25Eにより、(1)、(2)式の差の演算処理が行われ、外部から直接測定できない未知数である遅延時間TC、TR及びセットアップタイムTSが消去され、(3)式のように真のアクセスタイムTAAが求値される。

$$TAA = TRAM - TREG \dots (3)$$

その後、ステップP10で当該被試験ゲートアレイ26の試験評価をする。これにより、ダミー試験用回路12が設けられたRAM内蔵ゲートアレイ26のRAMマクロ

M1の真のアクセスタイムTAAを評価することができる。

【0094】このようにして、本発明の実施例に係るRAM内蔵ゲートアレイの試験方法によれば、図6に示すように、ステップP4、P8で第1、第2の時間差データD1、D2が取得される。

【0095】このため、ステップP9で第1、第2の時間差データD1、D2に基づいてRAM21Aの見かけ上のアクセスタイムTRAMとダミーレジスタ22Bの見かけ上セットアップタイムTREGとの差の算出処理をすることにより、従来例のように複数のRAMマクロM1～Mnに対して試験用回路11Aを共通して設け、その試験入力配線Lin1、試験クロック配線Lt、試験データ出力配線がチップ内部を長く引き回した場合であっても、そのダミー情報に基づいて該試験入・出力配線や試験クロック配線及び入／出力バッファに係る遅延時間等の影響を取り除くことができ、RAMマクロM1～Mnの真のアクセスタイムTAAを測定することが可能となる。

【0096】このことで、半導体集積回路装置の高集積化、高密度化に伴い、RAM21Aの真のアクセスタイムに比べて遅延時間が非常に大きくなった場合であっても、見かけ上のRAMマクロMnのアクセスタイムTRAMから試験クロック信号TCKの遅延時間等のダミー情報TREGが差し引かれることから、その正確なアクセスタイムTAAを測定することが可能となる。

【0097】これにより、これらの遅延時間を考慮した高精度のアクセスタイムTAAが測定されることで、半導体集積回路装置の高機能化、高性能化に伴い益々高速化されるRAMマクロM1～Mnの真の評価をすることが可能となる。

【0098】なお、本発明の実施例では、クロック信号の立ち上がりを基準してアクセスタイムTAAを測定する方法を説明したが、それを立ち下がりを基準して測定する場合にも同様な効果が得られる。また、本発明の実施例では被試験対象16がRAMマクロ内蔵ゲートアレイの場合について説明をしたが、それがスタンダードセルやマイクロ・プロセッサ等でも良く、マクロはROM(読出し専用メモリ)や論理回路であっても、同様な効果が得られる。

【0099】

【発明の効果】以上説明したように、本発明の半導体集積回路装置によれば試験用回路とは別に試験クロック信号のダミー処理をするダミー試験用回路が設けられる。

【0100】このため、従来例のように複数の記憶回路に対して試験用回路が共通して設けられ、試験入・出力配線や試験クロック配線がチップ内部を長く引き回された場合であっても、その遅延時間等に係るダミー情報をダミー試験用回路から外部の試験装置等に提供することが可能となる。

【0101】また、本発明の半導体集積回路装置の試験装置によれば、試験信号出力手段、試験信号入力手段及び制御手段が具備され、該制御手段により記憶回路の見かけ上のアクセスタイム（第1の時間差データ）とダミー保持手段の見かけ上のセットアップタイム（第2の時間差データ）が取得処理される。

【0102】このため、半導体集積回路装置の内部集積回路から記憶回路のみを切り離して、2つの見かけ上のアクセスタイムとセットアップタイムに基づいて記憶回路の真のアクセスタイムを求値することが可能となり、当該装置の試験精度の向上を図ることが可能となる。

【0103】さらに、本発明の半導体集積回路装置の試験方法によれば、被試験対象の試験用回路とは別に設けられたダミー試験用回路を用いて第1、第2の時間差データが取得され、それに基づいて記憶回路のアクセスタイムが求値処理される。

【0104】このため、外部端子より直接測定可能な第1、第2の時間差データの差の算出処理をすることにより、試験用出力レジスタのセットアップタイムや入力配線、入力バッファの遅延要素を消去することができ、記憶回路の真のアクセスタイムを正確に測定することが可能となる。このことで、半導体集積回路装置に内蔵された記憶回路の試験用回路の遅延時間を考慮した高精度なアクセスタイムを測定することができ、真のRAM評価等を行うことが可能となる。

【0105】これにより、半導体記憶回路を内蔵したゲートアレイやスタンダードセル等の性能評価の信頼性の向上を図ることが可能となり、高信頼度の半導体集積回路装置及びその試験装置の提供に寄与するところが大きい。

【図面の簡単な説明】

【図1】本発明に係る半導体集積回路装置の原理図である。

【図2】本発明に係る半導体集積回路装置の試験装置及びその試験方法の原理図である。

【図3】本発明の実施例に係るRAMマクロ内蔵ゲートアレイの全体構成図である。

【図4】本発明の実施例に係るRAMマクロの内部構成図である。

【図5】本発明の実施例に係るRAMマクロ内蔵ゲートアレイの試験システム装置の構成図である。

【図6】本発明の実施例に係るRAMマクロ内蔵ゲートアレイの試験フローチャートである。

【図7】本発明の実施例に係る試験フローチャートを補足する限界タイミングチャートである。

【図8】従来例に係るRAMマクロ内蔵ゲートアレイの全体構成図である。

【図9】従来例に係るRAMマクロの試験方法の説明図である。

【符号の説明】

11…内部集積回路、

11A…試験用回路、

12…ダミー試験用回路、

12A…試験補助クロック入力手段、

12B…ダミー保持手段、

12C…試験データ保持手段、

12D…ダミー出力手段、

13…試験信号出力手段、

14…試験信号入力手段、

15…制御手段、

M…記憶回路、

TCK…試験クロック信号、

DTCK…ダミー出力信号、

RCK…試験補助クロック信号、

30 DIN…試験データ、

DOUT…試験出力データ、

T/A…非試験/試験モード信号、

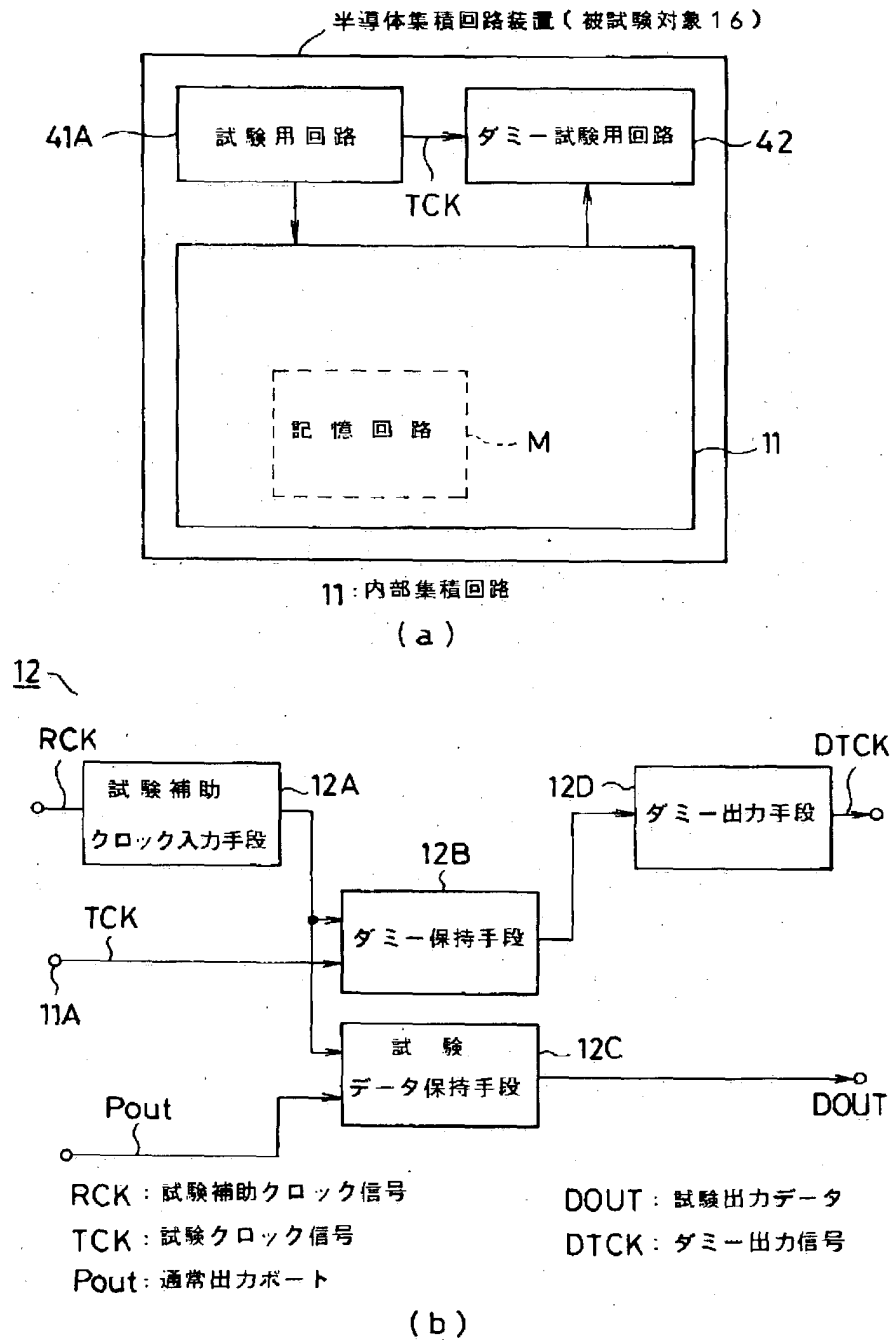
TAA…真のアクセスタイム、

D1…第1の時間差データ（TRAM）、

D2…第2の時間差データ（TREG）。

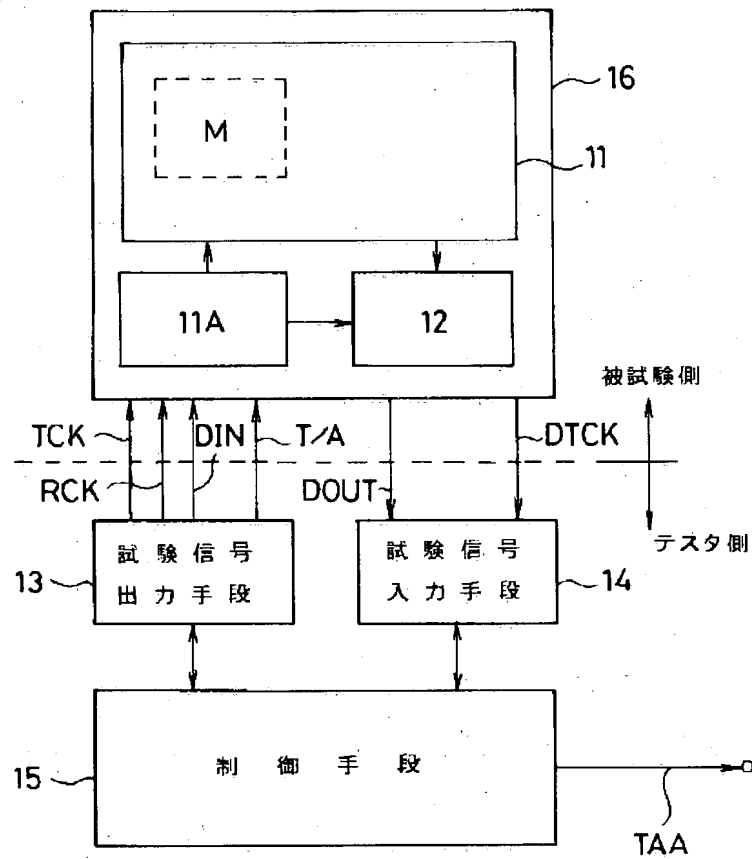
【図1】

本発明に係る半導体集積回路装置の原理図



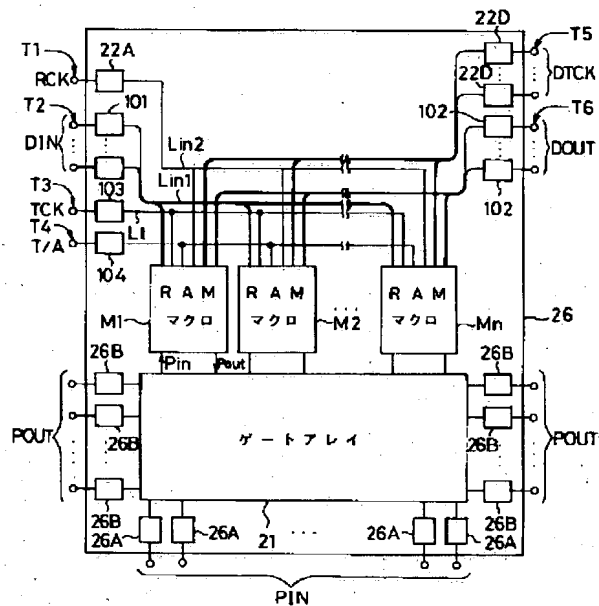
【図2】

本発明に係る半導体集積回路装置の試験装置
及びその試験方法の原理図



【図3】

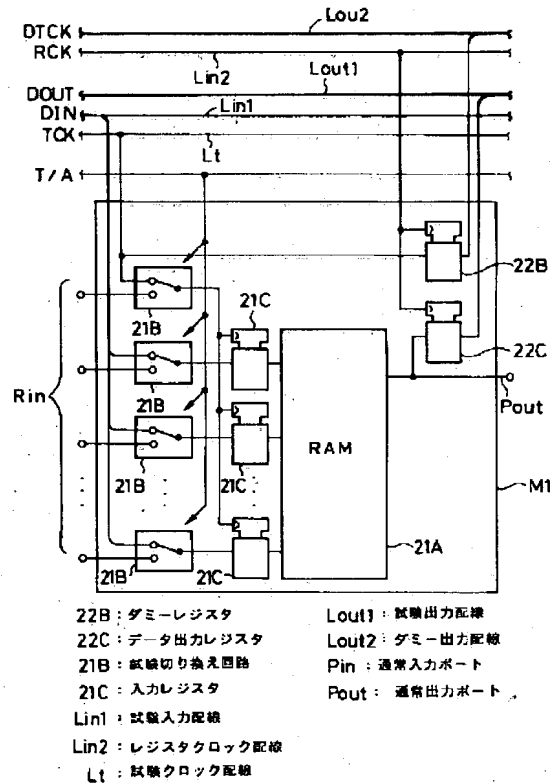
本発明の実施例に係るRAMマクロ内蔵ゲートアレイ
の全体構成図



- | | |
|---------------------|----------------|
| 22A: レジスタクロック入力バッファ | 26A: 通常入力バッファ |
| 22B: ダミー出力バッファ | 26B: 通常出力バッファ |
| 26: RAM 内蔵ゲートアレイ | M1~Mn: RAM マクロ |
| 101: 試験入力バッファ | PIN: 所定入力ポート |
| 102: 試験出力バッファ | POUT: 所定出力ポート |
| 103: 試験クロック入力バッファ | |
| 104: テストモード入力バッファ | |

【図4】

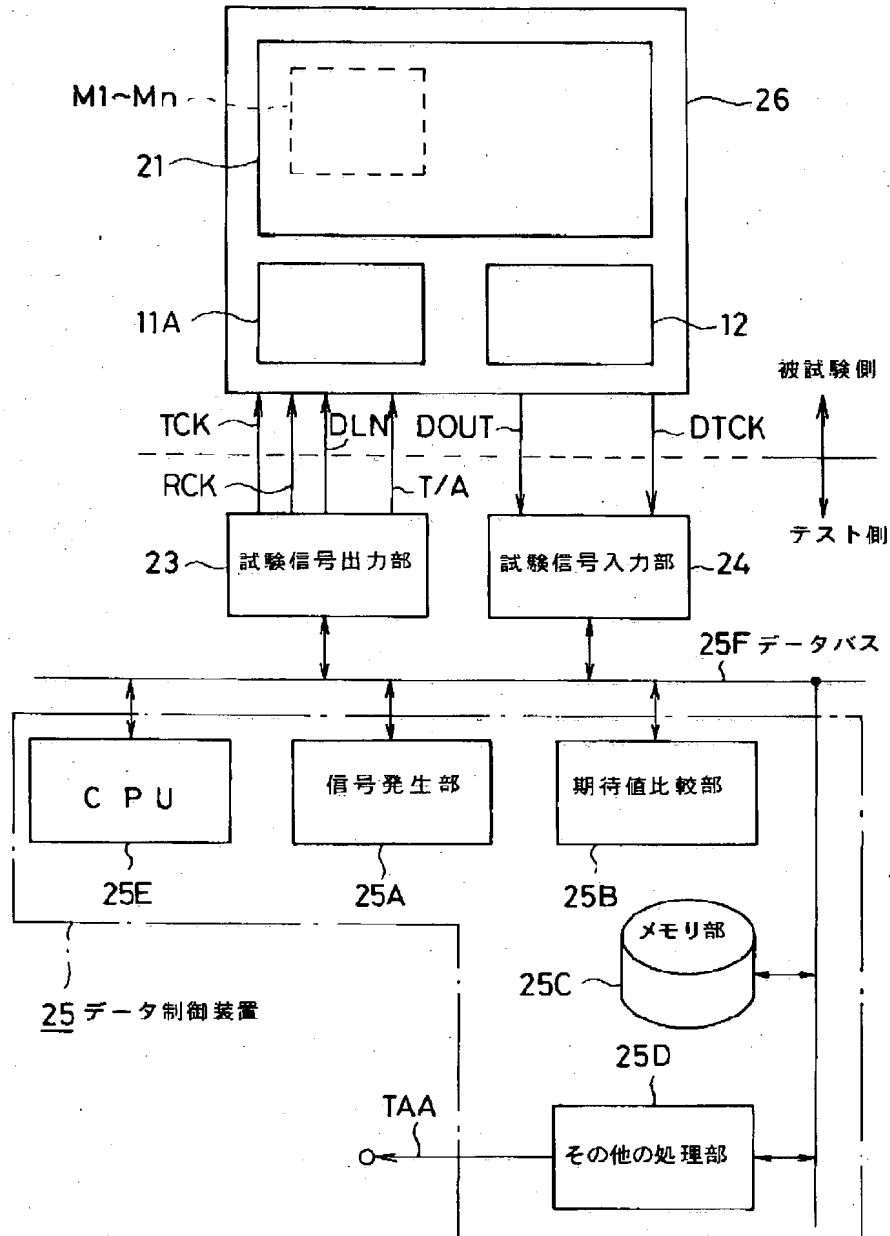
本発明の実施例に係るRAMマクロの内部構成図



- | | |
|------------------|----------------|
| 22B: ダミーレジスタ | Lout1: 試験出力配線 |
| 22C: データ出力レジスタ | Lout2: ダミー出力配線 |
| 21B: 試験切り換え回路 | Pin: 通常入力ポート |
| 21C: 入力レジスタ | Pout: 通常出力ポート |
| Lin1: 試験入力配線 | |
| Lin2: レジスタクロック配線 | |
| Lt: 試験クロック配線 | |

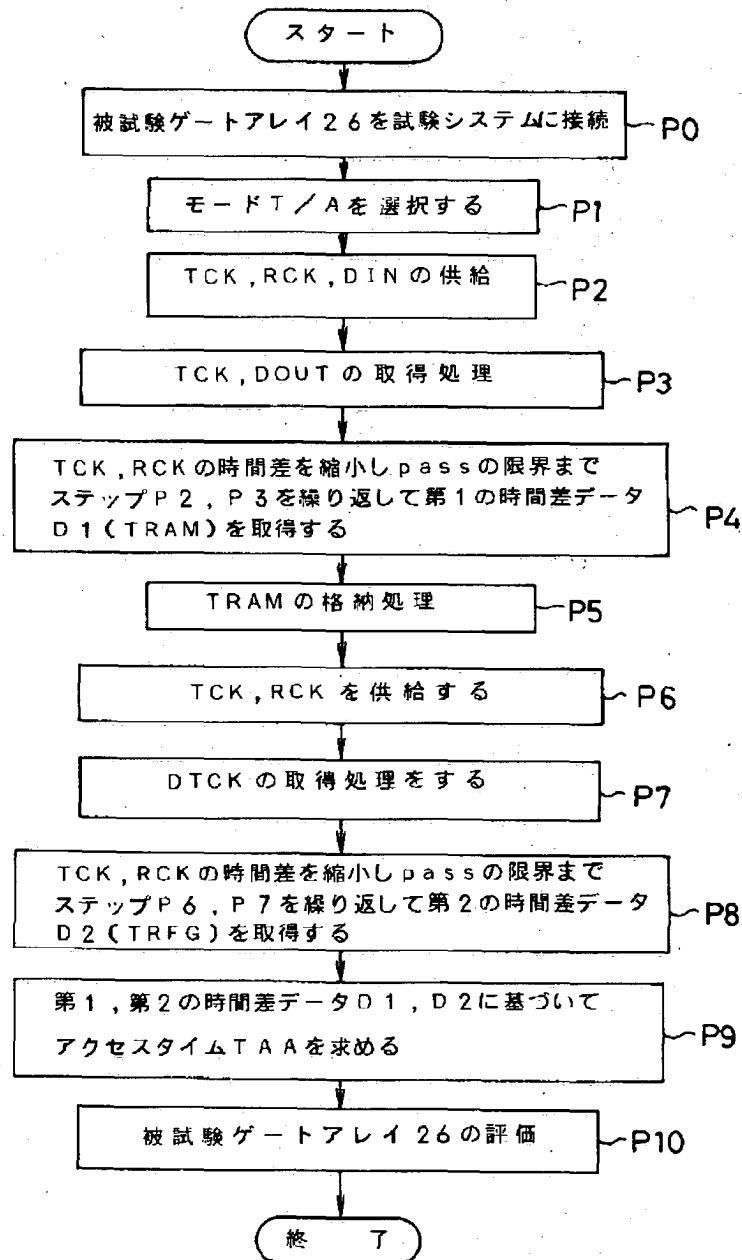
【図5】

本発明の実施例に係るRAMマクロ内蔵
ゲートアレイの試験システム装置の構成図



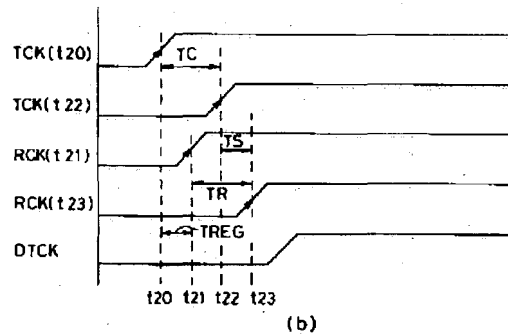
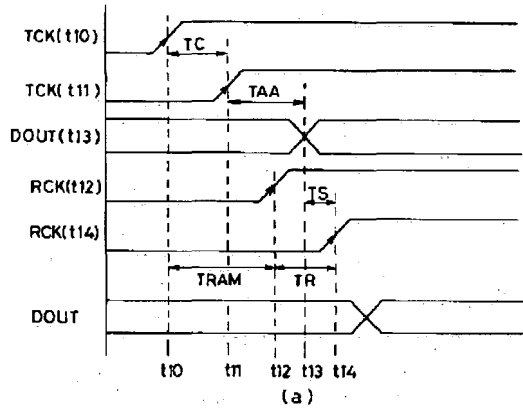
【図6】

本発明の実施例に係るRAMマクロ内蔵ゲートアレイ
の試験フローチャート



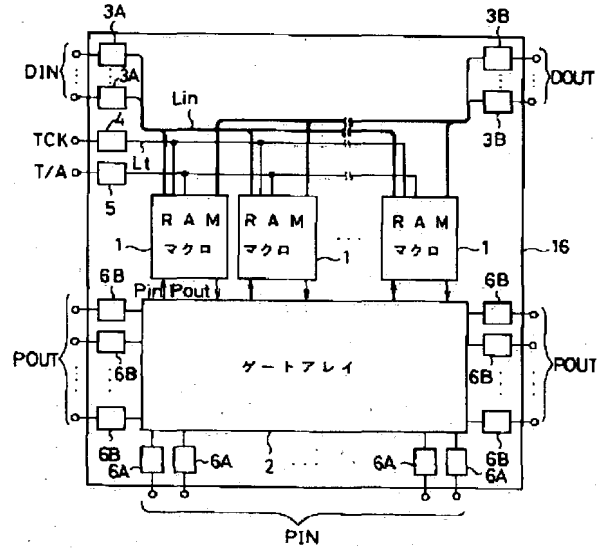
【図7】

本発明の実施例に係る試験フローチャートを補足する
 限界タイミングチャート



【図8】

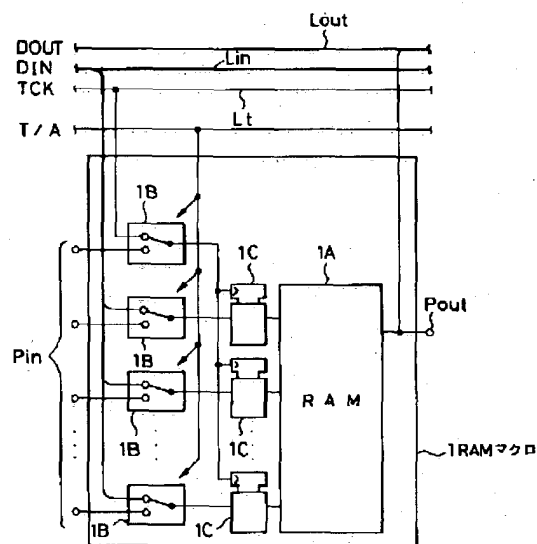
従来例に係るRAMマクロ内蔵ゲートアレイの
 全体構成図



- 16: RAM 内蔵ゲートアレイ (被試験対象) DIN: 試験データ
 3A: 試験入力バッファ DOUT: 試験出力データ
 3B: 試験出力バッファ T/A: 試験モード信号
 4: 試験クロック入力バッファ PIN: 所定入力ポート
 5: テストモード入力バッファ POUT: 所定出力ポート
 6A: 通常入力バッファ
 6B: 通常出力バッファ

【図9】

従来例に係るRAMマクロの試験方法の説明図



1B : 試験切り換え回路

Pin : 通常入力ポート

1C : 入力レジスタ

Pout : 通常出力ポート

Lin : 試験入力配線

Lt : 試験クロック配線

Lout : 試験出力配線

フロントページの続き

(51) Int. Cl.⁵

G 1 1 C 29/00

H 0 1 L 21/66

21/82

識別記号 片内整理番号

3 0 3 H 6741-5L

W 7377-4M

8225-4M

F I

H 0 1 L 21/82

技術表示箇所

T